



(19)

(11) Publication number: **2001102516 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **11273095**

(51) Intl. Cl.: **H01L 25/065 H01L 25/07 H01L 25/18
H01L 21/60 H01L 23/02**

(22) Application date: **27.09.99**

(30) Priority:

(43) Date of application
publication: **13.04.01**

(84) Designated contracting
states:

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **HIRAI HIROYUKI**

(74) Representative:

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

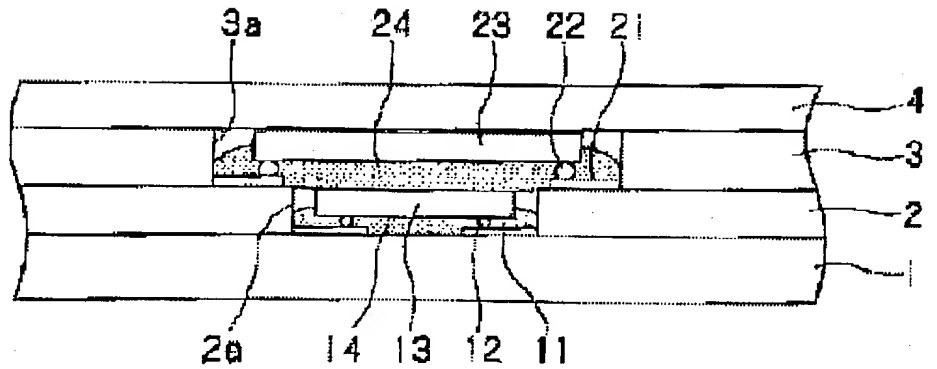
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method where there is less difficulty in manufacture, while a manufacturing cost is made low.

SOLUTION: A multilayer substrate where, with a plurality of insulating layers 1, 2, and 3 laminated, a wiring is formed on the surface of a lower-layer side layer exposed through opening parts 2a and 3a provided on the upper-layer side, and semiconductor elements 13 and 23, which provided in the opening part, comprise an electrode connected to the wiring on the lower-layer side layer surface being exposed at lower surfaces, are provided. Although the wiring is connected to the electrode

of semiconductor element with a bump, an anisotropic conductive film is preferred to be an intermediary for sure connection.

COPYRIGHT: (C)2001,JPO



特開2001-102516 (1/5)

- (19) 【発行国】 日本国特許庁 (JP)
(12) 【公報種別】 公開特許公報 (A)
(11) 【公開番号】 特開2001-102516 (P2001-102516A)
(43) 【公開日】 平成13年4月13日 (2001. 4. 13)
(54) 【発明の名称】 半導体装置およびその製造方法
(51) 【国際特許分類第7版】

H01L 25/065
25/07
25/18
21/60 311
23/02

【F I】

H01L 21/60 311 S
23/02 J
25/08 Z

【審査請求】 未請求

【請求項の数】 7

【出願形態】 O L

【全頁数】 4

- (21) 【出願番号】 特願平11-273095
(22) 【出願日】 平成11年9月27日 (1999. 9. 27)
(71) 【出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社東芝
【住所又は居所】 神奈川県川崎市幸区堀川町7番地
(72) 【発明者】
【氏名】 平井 浩之
【住所又は居所】 東京都府中市東芝町1番地 株式会社東芝府中工場内
(74) 【代理人】
【識別番号】 100064285
【弁理士】
【氏名又は名称】 佐藤 一雄 (外3名)
【テーマコード (参考)】

5F044

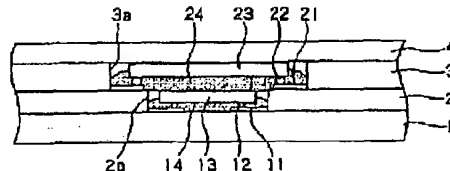
【Fターム (参考)】

5F044 KK07 KK11 LL09 QQ01 RR01 RR18

(57) 【要約】

【課題】 製造上の困難が少なく、製造コストの安い半導体装置およびその製造方法を提供する。

【解決手段】 複数の絶縁層 (1, 2, 3, ...) が積層され、上層側に設けられた開口部 (2a, 3a) により露出した下層側層の表面に配線が形成された多層基板と、開口部内に配置され、露出した下層側層表面の配線と接続された電極を下面に有する半導体素子 (13, 23) とを備える。配線と半導体素子の電極との接続はパンプにより行われるが、接続を確実化させるために異方性導電性フィルムを介することが好ましい。



特開2001-102516 (2/5)

【特許請求の範囲】

【請求項1】複数の絶縁層が積層され、上層側に設けられた開口部により露出した下層側層の表面に配線が形成された多層基板と、前記開口部内に配置され、前記露出した下層側層表面の配線と接続された電極を下面に有する半導体素子と、を備えた半導体装置。

【請求項2】前記多層基板は少なくとも3層でなり、下層側の開口部およびその周囲部が露出するように上層側の開口部が形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記下層側の開口部にも第2の半導体素子が配設され固着されたことを特徴とする請求項2に記載の半導体装置。

【請求項4】前記半導体素子は、 bumps により接続されたことを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】前記多層基板には平面的に複数の開口部が形成され、それぞれ半導体素子が配設されたことを特徴とする請求項1、2、4のいずれかに記載の半導体装置。

【請求項6】前記多層基板はセラミック基板であり、最上層基板上には金属キャップが気密状に取り付けられたことを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】上層側に開口部が形成され、前記開口部内に露出した下層の表面に配線が形成されるように複数の絶縁層を積層する工程と、半導体素子を bumps を介して前記露出した配線と固着する工程と、少なくとも最上層上で封止を行う工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびそ

の製造方法に関するもので、特に高密度実装に好適なものである。

【0002】

【従来の技術】半導体装置の小型化のため、高密度実装技術が開発されており、代表的なものとしてフリップチップによるマルチチップ技術がある。これは、ワイヤボンディングで接続するのではなく、裏返しとしてはんだ bumps 等によって基板に接続する技術である。このフリップチップ技術を開示したものとして次のような文献が知られている。

【0003】まず、特開平6-132474号は、半導体チップを bumps 電極を十分長くすることにより能動素子面を対向させるように実装することを可能としたものを開示する。

【0004】しかしながら、この技術では bumps を半導体素子の厚み以上の厚さに形成しなければならないため、実装工程プロセスが複雑でコストが高いという問題がある。

【0005】また、特開平9-293824号は半導体チップ搭載面上に半導体チップを複数段に積み重ねて立体構成したマルチチップモジュールを開示する。

【0006】この技術では、半導体チップの上に半導体チップを重ねるため、両者の電極位置が正確に整合している必要があり、半導体チップの製造精度を極めて高くする必要がある。このため、作業が著しく困難になるか、最初から高精度の半導体チップを新たに作る必要があり、いずれにせよ極めて高価なものとなるという問題がある。

【0007】

【発明が解決しようとする課題】以上のように、従来のフリップチップ方式のマルチチップ技術では、製造上、作業上の困難が伴い、安価な製品を得ることが困難であるという問題がある。

【0008】本発明はこのような問題を解決するためなされたもので、製造上の困難が少なく、製造コストの安い半導体装置およびその製造方法を提供することを目的

とする。

【0009】

【課題を解決するための手段】本発明にかかる半導体装置によれば、複数の絶縁層が積層され、上層側に設けられた開口部により露出した下層側層の表面に配線が形成された多層基板と、前記開口部内に配置され、前記露出した下層側層表面の配線と接続された電極を下面に有する半導体素子を備えたことを特徴とする。

【0010】前記多層基板は少なくとも3層であり、下層側の開口部およびその周囲部が露出するように上層側の開口部が形成されると良く、下層側の開口部にも第2の半導体素子が配設され固着されると良い。

【0011】前記半導体素子は、バンパにより接続されることが好ましい。

【0012】前記多層基板には平面的に複数の開口部が形成され、それぞれ半導体素子が配設されるようにすることもできる。

【0013】前記多層基板はセラミック基板であり、最上層基板上には金属キャップが気密状に取り付けられると良い。

【0014】このような半導体装置によれば、上層側基板に設けられた開口部に半導体素子が収納されるため、複数の半導体素子の積み重ねが可能となり、簡易かつ安価に高密度実装された半導体装置を得ることができる。

【0015】また、本発明にかかる半導体装置の製造方法によれば、上層側に開口部が形成され、前記開口部内に露出した下層の表面に配線が形成されるように複数の絶縁層を積層する工程と、半導体素子をバンパを介して前記露出した配線と固着する工程と、少なくとも最上層上で封止を行う工程とを備えたことを特徴とする。

【0016】この方法によれば、上記半導体装置を確実に製造することができる。

【0017】

【発明の実施の形態】以下、図面を参照して本発明にかかる半導体装置およびその製造方法について詳細に説明する。

特開2001-102516 (3/5)

【0018】図1は本発明の第1の実施の形態にかかる半導体装置の一部切欠平面図、図2はその断面図である。

【0019】この半導体装置は絶縁層としてのセラミック基板1、2、3を3層積層した積層基板となっており、最下層の基板1にはキャビティ（空洞）はなく、第2層の基板2に設けられたキャビティ2aよりも第3層の基板3に設けられたキャビティ3aの方が大きくなっている。したがって、第3層の基板3に設けられたキャビティ3aの中には第2層の基板2の表面上に設けられた半導体素子を取り付けるための導体パターン21が露出し、第2層の基板2に設けられたキャビティ2aの中には第1層の基板1の表面上に設けられた導体パターン11が露出している。

【0020】積層される基板の厚さは例えば0.2～0.3mmであるが、収納される半導体素子の厚さに応じて適宜変更するようにしても良い。

【0021】図1では、これらのキャビティにそれぞれ半導体チップが収納されており、立体的な実装を可能としている。

【0022】第2層の基板に形成されたキャビティ2a内に収納される半導体チップ13および第3層の基板に形成されたキャビティ3a内に収納される半導体チップ23はそれぞれ0.2mm程度の厚さを有しており、その下面の周縁部に接続用のパッドを有し、ここにはバンパ12、22がそれぞれ形成されている。

【0023】前述した下層の基板上の導体パターンとはこのバンパを用い、加熱によるリフロー等で接続されることになるが、この接続を確実化するため、この実施の形態では異方性導電フィルム（ACF）14、24を半導体チップと導体パターンとの間に挟み込ませている。

【0024】この異方性導電性フィルムは例えばエポキシ樹脂中に直径25μmの導電性の樹脂粒子を1mm²あたり25000個程度混入させた、厚さ25μmのシートであって、厚さ方向に圧力をかけた部分のみの電気抵抗が著しく低下して導電性を示すものである。

【0025】このようなACFを用いて半導体素子の電極と導体パターン間の接続を行うには、電極にバンパを形成し、バンパと接続導体との間にACFを配設し、160ないし190℃の温度で加熱しながらバンパあたり

(3)

100~1000gの圧力を10秒間かけるようにする。

【0026】このような異方性導電性フィルムは位置決めと適当な圧力が確保されれば隣接端子とのショートを招くことなく確実な接触が可能となるので、ピッチが狭く、後の確認が困難なこの実施の態様においては最適である。

【0027】また、この実装の形態では第1回の半導体チップの実装と第2回の半導体チップの実装は同時に行うことができず、時間をおいて複数回に分けて行うことになるが、ACFにおけるガラス転移温度T_gは110~140℃程度であり、3回程度の熱履歴に耐えられるので、2段の実装は全く問題がない。

【0028】このようにして2段の立体的な実装が完了後、最上層3の上にはメタルキャップ4が取付けられ、気密封止が行われる。

【0029】図3および図4は本発明の別の実施の形態を示すもので、図4は図3のA-A'線に沿った断面図である。

【0030】この実施の形態によれば、基板中にキャビティが形成され、そこに複数の半導体チップが収納されている点では同じであるが、第1の実施の形態とは異なり、立体的な実装は行われておらず、平面的に複数のチップが実装されている。

【0031】すなわち、3層のセラミック基板51、52、53が積層されており、第2層の基板52には1つのキャビティ52aが設けられているのみであるが、第3層の基板53には第2の基板のキャビティ52aに対応して連通するキャビティ53aと、全く異なる位置にキャビティ53bが形成されている。これらのキャビティにはそれぞれ半導体素子が実装されることになるが、その実装方法は前述した第1の実施の形態と同じであるので省略する。

【0032】この実施の形態では、52aおよび53aのキャビティは深く、53bのキャビティは浅く形成されているので、厚みの異なる半導体素子を実装することができる。もちろん複数層にわたるキャビティを複数箇所設けて厚みの厚い半導体素子を複数個実装するようにしても良い。

特開2001-102516 (4/5)

【0033】また、上述した実施の形態では基板としてセラミックを用いたが、通常の印刷配線板でも実現することができる。

【0034】さらに、半導体素子と導体パターンの接続をリフローはんだ付け等で行い、その後空間を樹脂で埋めるようにしても良い。

【0035】

【発明の効果】以上のように、本発明によれば、空洞部を有する複数の基板を積層し、その空洞部に基板の厚さ以内の厚さを有する半導体素子を取付け、収納するようにしているので、立体的な実装が可能となる。

【0036】また、複数の位置に空洞部を設けるようにした場合には厚さの異なる半導体素子を複数個実装することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す一部切り欠き平面図である。

【図2】図1の断面図である。

【図3】本発明の第2の実施の形態を示す平面図である。

【図4】図3におけるA-A'断面図である。

【符号の説明】

- 1 第1の基板
- 2 第2の基板
- 3 第3の基板
- 4 メタルキャップ
- 2a、3a、52a、53a、53b キャビティ
- 11、21 導体パターン
- 12、22 パンプ
- 13、23、55、56 半導体素子
- 14、24 異方性導電性フィルム

